

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-007389

(43)Date of publication of application : 12.01.2001

(51)Int.Cl.

H01L 33/00

(21)Application number : 11-174138

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 21.06.1999

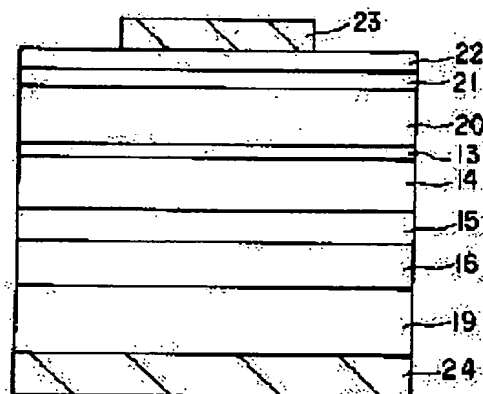
(72)Inventor : YOSHITAKE HARUJI  
FURUKAWA KAZUYOSHI

## (54) MANUFACTURING SEMICONDUCTOR LIGHT EMITTING ELEMENT

## (57)Abstract:

PROBLEM TO BE SOLVED: To suppress stresses from growing due to film thickness difference on a transparent substrate for avoiding cracks in light emitting element parts.

SOLUTION: Surface of a GaAs substrate is epitaxially grown to form an n-type clad layer 14, an active layer 15 and a p-type clad layer 16. After adhering a p-type transparent substrate 19 to the p-type clad layer 16 surface at the room temp., the GaAs substrate is removed. At the room temp. an n-type transparent substrate 20 is adhered to the clad layer 14 surface via an n-type In<sub>0.5</sub>Ga<sub>0.5</sub>P 13. The reafter, transparent substrates 19, 20 and the clad layers 16, 14 are adhered at a high temp.



\* NOTICES \*

JPO and NCIP I are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The manufacture approach of the semi-conductor light emitting device characterized by being the manufacture approach of a semi-conductor light emitting device of pasting up a transparence substrate, inserting the light emitting device section from both sides with a transparence substrate, carrying out high temperature processing of these, and pasting up.

[Claim 2] Said high temperature processing is the manufacture approach of the semi-conductor light emitting device according to claim 1 characterized by processing said light emitting device section and said transparence substrate of both sides collectively, and pasting up.

[Claim 3] At the process to which are the manufacture approach of a semi-conductor light emitting device of pasting up a transparence substrate, and the front face of a compound semiconductor substrate is made to carry out epitaxial growth of the light emitting device section, and a room temperature On the other hand, at the process of said light emitting device section which pastes up the 1st transparence substrate on a field, the process which removes said compound semiconductor substrate and exposes the another side side of said light emitting device section, and a room temperature The manufacture approach of the semi-conductor light emitting device characterized by including the process which pastes up the 2nd transparence substrate on the another side side of said light emitting device section, and the process which carries out high temperature processing of said the 1st and 2nd transparence substrates and said light emitting devices, and pastes these up.

[Claim 4] The temperature of said high temperature processing is the manufacture approach of the semi-conductor light emitting device according to claim 1 or 3 characterized by being 500 degrees C thru/or 1200 degrees C.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacture approach of a semi-conductor light emitting device of pasting up a transparence substrate on the epitaxial film of a light emitting device especially, with respect to the manufacture approach of a light emitting device of having used the transparence substrate.

[0002]

[Description of the Prior Art] As for the semi-conductor light emitting diode (LED) using this kind of transparence substrate, the transparence substrate is formed in one direction and another side side of the LED light emitting device section of for example, a 4 yuan InGaAlP system. It is possible to create LED of all light fields by changing the presentation ratio of said 4 yuan. However, since the lattice constant of a transparence substrate and the light emitting device section is not in agreement, lattice matching is not carried out. Therefore, when the light emitting device section is directly formed on a transparence substrate, it is difficult to form a good epitaxial film on a transparence substrate.

[0003] Therefore, as shown in drawing 8 thru/or drawing 14 , after growing the light emitting device section epitaxially on a GaAs substrate, a GaAs substrate is removed and the thing of the light emitting device section for which a transparence substrate is formed in a field and an another side side one by one on the other hand is common. Below, the manufacture approach of the conventional semi-conductor light emitting device is explained.

[0004] First, as shown in drawing 8 , the etching stop layer 32 is formed on the GaAs substrate 31, and p mold cladding layer 33 is formed on the etching stop layer 32. A barrier layer 34 is formed on this p mold cladding layer 33, and n mold cladding layer 35 is formed on a barrier layer 34. The cap layer 36 is formed on this n mold cladding layer 35. Thus, the light emitting device section is formed of epitaxial growth.

[0005] As shown in drawing 9 , the cap layer 36 is removed by etching and the front face of n mold cladding layer 35 is exposed.

[0006] As shown in drawing 10 , n mold transparence substrate 37 which are 10 thru/or 50 micrometers is formed in the front face of n mold cladding layer 35 for thickness of epitaxial growth.

[0007] As shown in drawing 11 , the GaAs substrate 31 is removed by etching and the front face of the etching stop layer 32 is exposed.

[0008] As shown in drawing 12 , the etching stop layer 32 is removed by etching and the front face of p mold cladding layer 33 is exposed.

[0009] As shown in drawing 13 , p mold transparence substrate 38 which is 250 micrometers pastes [ thickness ] the front face of p mold cladding layer 33 by thermocompression bonding.

[0010] As shown in drawing 14 , metal electrodes 39 and 40 are formed in the front face of n mold transparence substrate 37 and p mold transparence substrate 38, respectively.

[0011]

[Problem(s) to be Solved by the Invention] the manufacture approach of the above-mentioned conventional semi-conductor light emitting device -- setting -- ohmic one with the good adhesion side of p mold cladding layer 33 and p mold transparence substrate 38 -- \*\* -- it is required for a sake to paste up by elevated temperature thermocompression bonding. However, in case the thickness of n mold transparence substrate 37 which is the epitaxial growth film pastes up p mold transparence substrate 38 on p mold cladding layer 33 front face by thermocompression bonding since it is thin, and it puts the light emitting device section with the transparence substrates 37 and 38 compared with the thickness of p mold transparence substrate 38, the stress by the difference of the coefficient of thermal expansion of cladding layers 33 and 35 and the transparence substrates 38 and 37 generates it. According to the thickness difference of the transparence substrates 37 and 38, as the generated stress does not negate each other and it is shown in drawing 15 , curvature arises in the light emitting device section, and a crack 40 mainly occurs. Therefore, there was a problem that the luminescence property of LED deteriorated sharply.

[0012] In order to solve this, it is possible to make thickness of n mold transparence substrate 37 the same as that of the thickness of p mold transparence substrate 38. However, since this needs to lengthen time amount of epitaxial growth, the processing time becomes long and it is not a best policy.

[0013] The place which it is made in order that this invention may solve the above-mentioned technical problem, and is made into the purpose is to offer the manufacture approach of the semi-conductor light emitting device which can control generating of the crack of the light emitting device section.

[0014]

[Means for Solving the Problem] In order to attain said purpose, the means shown below is used for this invention.

[0015] It is the manufacture approach of a semi-conductor light emitting device of pasting up a transparence substrate, and the manufacture approach of the semi-conductor light emitting device of this invention sandwiches the light emitting device section from both sides with a transparence substrate, it carries out high temperature processing of these, and pastes it up.

[0016] Said high temperature processing processes said light emitting device section and said transparence substrate of both sides collectively, and is pasted up.

[0017] Moreover, the manufacture approach of the semi-conductor light emitting device of this invention At the process to which are the manufacture approach of a semi-conductor light emitting device of pasting up a transparence substrate, and the front face of a compound semiconductor substrate is made to carry out epitaxial growth of the light emitting device section, and a room temperature On the other hand, at the process of said light emitting device section which pastes up the 1st transparence substrate on a field, the process which removes said compound semiconductor substrate and exposes the another side side of said light emitting device section, and a room temperature The process which pastes up the 2nd transparence substrate on the another side side of said light emitting device section, and the process which carries out high temperature processing of said the 1st and 2nd transparence substrates and said light emitting devices, and pastes these up are included.

[0018] The temperature of said high temperature processing is 500 degrees C thru/or 1200 degrees C.

[0019]

[Embodiment of the Invention] The gestalt of operation of this invention is explained with reference to a drawing below.

[0020] Drawing 1 thru/or drawing 6 show the case where this invention is applied to the manufacture approach of a green semi-conductor light emitting device.

[0021] First, as shown in drawing 1, the n mold GaAs layer 12 which is 0.5 micrometers is formed [ thickness ] for thickness for example, on the GaAs substrate 11 which is 250 micrometers, and n mold In<sub>0.5</sub>Ga<sub>0.5</sub>P layer 13 whose thickness is 0.2 micrometers is formed on this n mold GaAs layer 12. On this n mold In<sub>0.5</sub>Ga<sub>0.5</sub>P layer 13, n mold cladding layer (In<sub>0.5</sub>aluminum<sub>0.5</sub>P layer) 14 which is 0.6 micrometers is formed for thickness, and the P type barrier layer (In<sub>0.5</sub> (Ga<sub>0.55</sub>aluminum<sub>0.45</sub>) 0.5P layer and P type concentration are 5x10<sup>16</sup> thru/or 2x10<sup>17</sup>cm<sup>-3</sup>) 15 which is 1.0 micrometers is formed for thickness on this n mold cladding layer 14. On this P type barrier layer 15, the P type cladding layer (In<sub>0.5</sub>aluminum<sub>0.5</sub>P layer) 16 which is 1.0 micrometers is formed for thickness, and the P type etching stop layer (GaAs layer) 17 which is 0.01 micrometers is formed for thickness on this P type cladding layer 16. On this etching stop layer 17, n mold cap layer (In<sub>0.5</sub> (Ga<sub>0.7</sub>aluminum<sub>0.3</sub>) 0.5P layer) 18 which is 0.02 micrometers is formed for thickness. Thus, the light emitting device section is formed in same batch of epitaxial growth.

[0022] Next, as shown in drawing 2, n mold cap layer 18 and p mold etching stop layer 17 are etched, and the front face of p mold cladding layer 16 is exposed. Then, the particle of the natural oxidation film (not shown) formed on exposed p mold cladding layer 16 and p mold cladding layer 16 front face is removed. Moreover, the natural oxidation film and particle of p mold transparence substrate (GaP substrate) 19 front face which are pasted up on p mold cladding layer 16 shown in drawing 3 are also removed beforehand. This p mold transparence substrate 19 is manufactured by the production process different from the light emitting device section.

[0023] Then, as shown in drawing 3, the front face of p mold transparence substrate 19 which is 250 micrometers pastes [ thickness ] the front face of p mold cladding layer 16 at a room temperature.

[0024] Next, as shown in drawing 4, the GaAs substrate 11 of the n mold In<sub>0.5</sub>Ga<sub>0.5</sub>P13 lower part and the n mold GaAs layer 12 are removed by etching.

[0025] Then, the surface natural oxidation film (not shown) and the particle of n mold transparence substrate (GaP substrate) 20 pasted up on n mold In<sub>0.5</sub>Ga<sub>0.5</sub>P13 shown in drawing 5 are removed beforehand. This n mold transparence substrate 20 is manufactured by the production process different from the light emitting device section.

[0026] Then, as shown in drawing 5, n mold transparence substrate 20 which is 250 micrometers pastes [ thickness ] the front face of n mold In<sub>0.5</sub>Ga<sub>0.5</sub>P13 at a room temperature.

[0027] Next, it is heated by 800 degrees C with a sink, for example, the adhesion side of n mold cladding layer 14 and n mold transparence substrate 20 bundles up Ar gas through the adhesion side of p mold cladding layer 16 and p mold transparence substrate 19, and n mold In<sub>0.5</sub>Ga<sub>0.5</sub>P13, and elevated-temperature adhesion is carried out. Then, the above-mentioned wafer is cooled at a room temperature. In addition, as temperature at the time of hot adhesion, not to necessarily be limited to 800 degrees C, for example, what is necessary is just 500 degrees C thru/or 1200 degrees C.

[0028] Next, as shown in drawing 6, the mediation layer 21 which consists of Au (for example, AuGe which contains germanium 0.5%) containing germanium which is 1 thru/or 10nm is formed for thickness on n mold transparence substrate 20.

[0029] Next, the transparent electrode 22 which consists of ITO (mixed film of In oxide-film and Sn oxide film) film is formed on the mediation layer 21 of sputtering. Under the present circumstances, the ratio (Ar:O) of Ar and O sets substrate temperature to 100:1 with room temperature (22 degrees C) extent, and a degree of vacuum is set for example, to 1x10<sup>-3</sup>Torr.

[0030] Next, the metal electrode 23 which consists of Au is formed on a transparent electrode 22, and the rear-face electrode 24 which consists of AuBe which contains Be 1% is formed in the front face of p mold transparence

substrate 19. Then, in Ar ambient atmosphere, 450 degrees C is performed for temperature and heat treatment for 15 minutes is performed for the processing time.

[0031] Next, a scribe is performed and chip-sized by the wafer. Then, the closure is carried out with a resin package.

[0032] According to the gestalt of the above-mentioned implementation, while pasting up p mold transparence substrate 19 on p mold cladding layer 16, n mold transparence substrate 20 of the same thickness as this p mold transparence substrate 19 is pasted up on n mold cladding layer 14 through n mold In<sub>0.5</sub>Ga<sub>0.5</sub>P<sub>13</sub>. That is, since the thickness of p mold transparence substrate 19 and n mold cladding layer 14 is the same, it can negate mutually the stress produced from elevated-temperature adhesion according to the difference of the coefficient of thermal expansion of the transparence substrates 19 and 20 which consist of a dissimilar material, and cladding layers 16 and 14 at the time of room temperature cooling. For this reason, the curvature of the light emitting device section and generating of a crack can be controlled.

[0033] Moreover, drawing 7 shows the situation of the luminescence brightness of LED after pasting up before pasting up a transparence substrate. According to the gestalt of this operation, since neither curvature nor a crack occurs in LED, luminescence brightness does not fall, even after pasting up a transparence substrate, as shown in this drawing. For this reason, degradation of an LED property can be prevented.

[0034] moreover — if the temperature at the time of adhesion is the range which is 500 degrees C thru/or 1200 degrees C in case the transparence substrates 19 and 20 and cladding layers 16 and 14 are pasted up at an elevated temperature — ohmic one with a good adhesion side — \*\* — \*\*

[0035] Moreover, since the light emitting device section is put by adhesion of the transparence substrates 19 and 20, the processing time can be shortened rather than the case where a transparence substrate is formed with the epitaxial growth film.

[0036] Furthermore, the thickness of the transparence substrates 19 and 20 can be thickly formed with 250 micrometers, without applying the processing time. And since the thickness of the transparence substrates 19 and 20 is thick, area of the side face of the transparence substrates 19 and 20 can be made large. Therefore, since the reflector by the transparence substrates 19 and 20 is large, the light reflected in the side face is effectively utilizable. Therefore, the luminescence brightness of LED can be raised.

[0037] In addition, this invention is not limited to the gestalt of the above-mentioned implementation. For example, as LED, it can apply also to the light product except green, and the same effectiveness as the above can be acquired.

[0038] Moreover, it is not necessary to restrict the transparence substrates 19 and 20 to a GaP substrate for example, and they should just be ingredients which are conductivity and are transparence (90% or more of permeability) in a visible region like a GaN substrate.

[0039] In addition, this invention is the range which does not deviate from the summary, and it deforms variously and it can be carried out.

[0040]

[Effect of the Invention] As explained above, according to this invention, the manufacture approach of the semiconductor light emitting device which can control generating of the crack of the light emitting device section can be offered.

---

[Translation done.]

## \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

## [Brief Description of the Drawings]

[Drawing 1] The sectional view showing the production process of the semi-conductor light emitting device concerning this invention.

[Drawing 2] The sectional view showing the production process of the semi-conductor light emitting device concerning this invention.

[Drawing 3] The sectional view showing the production process of the semi-conductor light emitting device concerning this invention.

[Drawing 4] The sectional view showing the production process of the semi-conductor light emitting device concerning this invention.

[Drawing 5] The sectional view showing the production process of the semi-conductor light emitting device concerning this invention.

[Drawing 6] The sectional view showing the production process of the semi-conductor light emitting device concerning this invention.

[Drawing 7] Drawing showing the luminescence brightness property of LED of this invention.

[Drawing 8] The sectional view showing the production process of the semi-conductor light emitting device by the conventional technique.

[Drawing 9] The sectional view showing the production process of the semi-conductor light emitting device by the conventional technique.

[Drawing 10] The sectional view showing the production process of the semi-conductor light emitting device by the conventional technique.

[Drawing 11] The sectional view showing the production process of the semi-conductor light emitting device by the conventional technique.

[Drawing 12] The sectional view showing the production process of the semi-conductor light emitting device by the conventional technique.

[Drawing 13] The sectional view showing the production process of the semi-conductor light emitting device by the conventional technique.

[Drawing 14] The sectional view showing the production process of the semi-conductor light emitting device by the conventional technique.

[Drawing 15] The sectional view showing the crack by the conventional technique.

## [Description of Notations]

- 11 -- GaAs substrate,
- 12 -- n mold GaAs substrate,
- 13 -- n mold In<sub>0.5</sub>Ga<sub>0.5</sub>P layer,
- 14 -- n mold cladding layer (In<sub>0.5</sub>aluminum<sub>0.5</sub>P layer),
- 15 -- P type barrier layer (In<sub>0.5</sub> (Ga<sub>0.55</sub>aluminum<sub>0.45</sub>) 0.5P layer),
- 16 -- P type cladding layer (In<sub>0.5</sub>aluminum<sub>0.5</sub>P layer),
- 17 -- P type etching stop layer (GaAs layer),
- 18 -- n mold cap layer (In<sub>0.5</sub> (Ga<sub>0.7</sub>aluminum<sub>0.3</sub>) 0.5P layer),
- 19 -- p mold transparence substrate (GaP substrate),
- 20 -- n mold transparence substrate (GaP substrate),
- 21 -- Mediation layer,
- 22 -- Transparent electrode,
- 23 -- Metal electrode,
- 24 -- Rear-face electrode.

---

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-7389

(P2001-7388A)

(43)公開日 平成13年1月12日(2001.1.12)

(51)Int.Cl.

H01L 33/00

識別記号

F I

H01L 33/00

キーワード(参考)

B 5 F 0 4 1

N

審査請求 未請求 請求項の数4 O L (全 6 頁)

(21)出願番号

特願平11-174138

(22)出願日

平成11年6月21日(1999.6.21)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区瀬川町72番地

(72)発明者

古武 泰二

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝マイクロエレクトロニクスセン

ター内

(72)発明者

古川 和由

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝マイクロエレクトロニクスセン

ター内

(74)代理人

100058479

弁護士 佛江 武彦 (外6名)

最終頁に続く

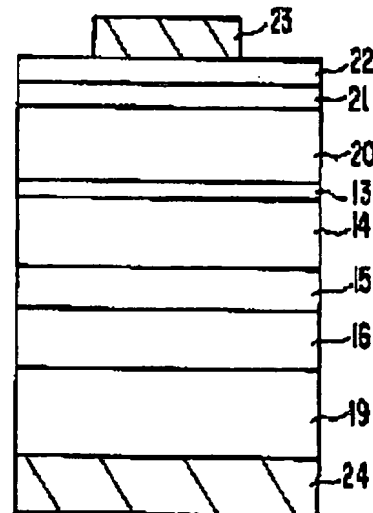
(54)【発明の名称】 半導体発光素子の製造方法

(57)【要約】

【課題】透明基板の膜厚の差により発生するストレスを抑制し、発光素子部にクラックが発生することを防止する。

【解決手段】GeAs基板11の表面をエピタキシャル成長させ、n型クラッド層14、活性層15、p型クラッド層16を形成する。次に、室温で、p型クラッド層16の表面にp型透明基板19を接合した後、GeAs基板11を除去する。次に、室温で、n型In0.5Ge

0.5P13を介してn型クラッド層14の表面にn型透明基板20を接合する。その後、透明基板19及び20とクラッド層16、14を高温接合する。



【特許請求の範囲】

【請求項 1】 透明基板を接合する半導体発光素子の製造方法であって、  
発光素子部を透明基板で両側から挟み、これらを高温処理して接合することを特徴とする半導体発光素子の製造方法。

【請求項 2】 前記高温処理は、前記発光素子部及び両側の前記透明基板を一括して処理し接合することを特徴とする請求項 1 記載の半導体発光素子の製造方法。

【請求項 3】 透明基板を接合する半導体発光素子の製造方法であって、  
化合物半導体基板の表面に発光素子部をエピタキシャル成長させる工程と、  
室温で、前記発光素子部の一方面に第 1 の透明基板を接合する工程と、  
前記化合物半導体基板を除去し、前記発光素子部の他方面を露出する工程と、  
室温で、前記発光素子部の他方面に第 2 の透明基板を接合する工程と、  
前記第 1 及び第 2 の透明基板と前記発光素子を高温処理し、これらを接合する工程を含むことを特徴とする半導体発光素子の製造方法。

【請求項 4】 前記高温処理の温度は 500℃乃至 1200℃であることを特徴とする請求項 1 又は 3 記載の半導体発光素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、透明基板を用いた発光素子の製造方法に係わり、特に、発光素子のエピタキシャル膜に透明基板を接合する半導体発光素子の製造方法に関する。

【0002】

【従来の技術】 この種の透明基板を用いた半導体発光ダイオード（LED）は、例えば 4 元 InGaAlP 系の LED 発光素子部の一方面及び他方面に透明基板が形成されている。前記 4 元組成比を変えることで全可視光領域の LED を作成することが可能である。しかし、透明基板と発光素子部の格子定数が一致しないため格子整合しない。そのため、発光素子部を透明基板上に直接形成した場合、透明基板上に良好なエピタキシャル膜を形成することが困難である。

【0003】 従って、図 8 乃至図 14 に示すように、GaAs 基板上に発光素子部をエピタキシャル成長した後、GaAs 基板を除去し、発光素子部の一方面及び他方面に順次に透明基板を形成することが一般的である。以下に、従来の半導体発光素子の製造方法について説明する。

【0004】 まず、図 8 に示すように、GaAs 基板 31 上にエッチングストップ層 32 が形成され、エッチングストップ層 32 上に p 型クラッド層 33 が形成され

る。この p 型クラッド層 33 上に活性層 34 が形成され、活性層 34 上に n 型クラッド層 35 が形成される。この n 型クラッド層 35 上にキャップ層 36 が形成される。このように、エピタキシャル成長によって発光素子部が形成される。

【0005】 図 9 に示すように、エッチングによりキャップ層 36 が除去され、n 型クラッド層 35 の表面が露出される。

【0006】 図 10 に示すように、エピタキシャル成長により、n 型クラッド層 35 の表面に膜厚が例えば 10 乃至 50 μm の n 型透明基板 37 が形成される。

【0007】 図 11 に示すように、エッチングにより GaAs 基板 31 が除去され、エッチングストップ層 32 の表面が露出される。

【0008】 図 12 に示すように、エッチングによりエッチングストップ層 32 が除去され、p 型クラッド層 33 の表面が露出される。

【0009】 図 13 に示すように、熱圧着により、p 型クラッド層 33 の表面に膜厚が例えば 250 μm の p 型透明基板 38 が接合される。

【0010】 図 14 に示すように、n 型透明基板 37 及び p 型透明基板 38 の表面に、それぞれ金属電極 39 及び 40 が形成される。

【0011】

【発明が解決しようとする課題】 上記従来の半導体発光素子の製造方法において、p 型クラッド層 33 と p 型透明基板 38 の接合面が良好なオーミックになるためには、高温な熱圧着により接合することが必要である。しかし、エピタキシャル成長膜である n 型透明基板 37 の膜厚は p 型透明基板 38 の膜厚に比べて薄いため、熱圧着により p 型クラッド層 33 表面に p 型透明基板 38 を接合して、発光素子部を透明基板 37、38 で挟み込む際、クラッド層 33 及び 35 と透明基板 38 及び 37 の熱膨張係数の差による応力が発生する。主に、透明基板 37、38 の膜厚差により、発生した応力が打ち消し合わず、図 15 に示すように、発光素子部に反りが生じてクラック 40 が発生する。従って、LED の発光特性が大幅に劣化するという問題があった。

【0012】 これを解決するためには、n 型透明基板 37 の膜厚を p 型透明基板 38 の膜厚と同一にすることが考えられる。しかし、これはエピタキシャル成長の時間を長くする必要があるため、処理時間が長くなり、得策ではない。

【0013】 本発明は上記課題を解決するためになされたものであり、その目的とするところは、発光素子部のクラックの発生を抑制することができる半導体発光素子の製造方法を提供することにある。

【0014】

【課題を解決するための手段】 本発明は、前記目的を達成するために以下に示す手段を用いている。



【0015】本発明の半導体発光素子の製造方法は、透明基板を接合する半導体発光素子の製造方法であって、発光素子部を透明基板で両側から挟み、これらを高温処理して接合する。

【0016】前記高温処理は、前記発光素子部及び両側の前記透明基板を一括して処理して接合する。

【0017】また、本発明の半導体発光素子の製造方法は、透明基板を接合する半導体発光素子の製造方法であって、化合物半導体基板の表面に発光素子部をエピタキシャル成長させる工程と、室温で、前記発光素子部の一方面に第1の透明基板を接合する工程と、前記化合物半導体基板を除去し、前記発光素子部の他方面を露出する工程と、室温で、前記発光素子部の他方面に第2の透明基板を接合する工程と、前記第1及び第2の透明基板と前記発光素子を高温処理し、これらを接合する工程とを含む。

【0018】前記高温処理の温度は500℃乃至1200℃である。

【0019】

【発明の実施の形態】本発明の実施の形態を以下に図面を参照して説明する。

【0020】図1乃至図6は、本発明を例えば緑色の半導体発光素子の製造方法に適用した場合について示している。

【0021】まず、図1に示すように、膜厚が例えば250 $\mu$ mのGeAs基板11上に、膜厚が例えば0.5 $\mu$ mのn型GeAs層12が形成され、このn型GeAs層12上に、膜厚が例えば0.2 $\mu$ mのn型In0.5Ga0.5P層13が形成される。このn型In0.5Ga0.5P層13上に、膜厚が例えば0.6 $\mu$ mのn型クラッド層(In0.5Al0.5P層)14が形成され、このn型クラッド層14上に、膜厚が例えば1.0 $\mu$ mのP型活性層(In0.5(Ga0.55Al0.45)0.5P層、P型濃度が $5 \times 10^{16}$ 乃至 $2 \times 10^{17}$ cm<sup>-3</sup>)15が形成される。このP型活性層15上に、膜厚が例えば1.0 $\mu$ mのP型クラッド層(In0.5Al0.5P層)16が形成され、このP型クラッド層16上に、膜厚が例えば0.01 $\mu$ mのP型エッチングストップ層(GeAs層)17が形成される。このエッチングストップ層17上に、膜厚が例えば0.02 $\mu$ mのn型キャップ層(In0.5(Ga0.7Al0.3)0.5P層)18が形成される。このように、エピタキシャル成長によって、同一パッチで発光素子部が形成される。

【0022】次に、図2に示すように、n型キャップ層18とP型エッチングストップ層17がエッチングされ、P型クラッド層16の表面が露出される。その後、露出されたP型クラッド層16上に形成された自然酸化膜(図示せず)及びP型クラッド層16表面のパーティクルが除去される。また、図3に示すP型クラッド層16に接合されるP型透明基板(GeP基板)19表面の

自然酸化膜及びパーティクルも予め除去される。このP型透明基板19は、発光素子部とは別の製造工程で製造される。

【0023】この後、図3に示すように、室温で、P型クラッド層16の表面に、膜厚が例えば250 $\mu$ mのP型透明基板19の表面が接合される。

【0024】次に、図4に示すように、エッチングによりn型In0.5Ga0.5P13下部のGeAs基板11及びn型GeAs層12が除去される。

【0025】この後、図5に示すn型In0.5Ga0.5P13に接合されるn型透明基板(GeP基板)20の表面の自然酸化膜(図示せず)及びパーティクルが予め除去される。このn型透明基板20は、発光素子部とは別の製造工程で製造される。

【0026】この後、図5に示すように、室温で、n型In0.5Ga0.5P13の表面に、膜厚が例えば250 $\mu$ mのn型透明基板20が接合される。

【0027】次に、Arガスを流しながら、例えば800℃に加熱され、P型クラッド層16とP型透明基板19の接合面、n型In0.5Ga0.5P13を介してn型クラッド層14とn型透明基板20の接合面が一括して高温接合される。その後、室温で上記ウエハが冷却される。尚、高温の接合時の温度としては、800℃に限定されるわけではなく、例えば500℃乃至1200℃であればよい。

【0028】次に、図6に示すように、n型透明基板20上に、膜厚が例えば1乃至10nmのGeを含むAu(例えばGeを0.5%含有するAuGe)からなる介在層21が形成される。

【0029】次に、スパッタリングにより、介在層21上にITO(In酸化膜とSn酸化膜の混合膜)膜からなる透明電極22が形成される。この際、基板温度は室温(22℃)程度で、ArとOの比(Ar:O)は例えば100:1とし、真空度は例えば $1 \times 10^{-3}$ Torrとする。

【0030】次に、透明電極22上に例えばAuからなる金属電極23が形成され、P型透明基板19の表面に、例えばBeを1%含有するAuBeからなる表面電極24が形成される。その後、Ar雰囲気中で温度が例えば450℃、処理時間が例えば15分の熱処理が行われる。

【0031】次に、ウエハにスクライブが行われ、チップ化される。その後、樹脂パッケージにより封止される。

【0032】上記実施の形態によれば、P型クラッド層16にP型透明基板19を接合するとともに、このP型透明基板19と同一の膜厚のn型透明基板20をn型In0.5Ga0.5P13を介してn型クラッド層14に接合している。つまり、P型透明基板19とn型クラッド層14の膜厚は同一であるため、高温接合から室温冷却の

際、異種材料からなる透明基板 19 及び 20 とクラッド層 16 及び 14 の熱膨張係数の差により生じたストレスを、互いに打ち消し合うことができる。このため、発光素子部の反り及びクラックの発生を抑制することができる。

【0033】また、図 7 は、透明基板を接合する前と接合した後の LED の発光輝度の様子を示している。この実施の形態によれば、LED に反りやクラックが発生しないため、同図に示すように、透明基板を接合した後も発光輝度が低下しない。このため、LED 特性の劣化を防止できる。

【0034】また、透明基板 19 及び 20 とクラッド層 16 及び 14 を高温で接合する際に、接合時の温度が 500℃乃至 1200℃の範囲であれば、接合面は良好なオーミックとなる。

【0035】また、透明基板 19、20 の接合により発光素子部を挟み込むため、透明基板をエピタキシャル成長膜により形成する場合よりも処理時間を短縮できる。

【0036】更に、処理時間をかけることなく透明基板 19、20 の膜厚を例えば 250µm と厚く形成できる。しかも、透明基板 19、20 の膜厚が厚いため、透明基板 19、20 の側面の面積を広くできる。従って、透明基板 19、20 による反射面が広いので、側面に反射された光を有効に活用できる。よって、LED の発光輝度を高めることができる。

【0037】尚、本発明は、上記実施の形態に限定されるものではない。例えば、LED としては、緑以外の可視光製品にも適用でき、上記と同様の効果を得ることができる。

【0038】また、透明基板 19、20 は GaP 基板に限る必要はなく、例えば GaN 基板のように、導電性であり、且つ、可視領域で透明（透過率 90% 以上）である材料であればよい。

【0039】その他、本発明は、その要旨を逸脱しない範囲で、種々変形して実施することが可能である。

【0040】

【発明の効果】以上説明したように本発明によれば、発光素子部のクラックの発生を抑制することができる半導体発光素子の製造方法を提供できる。

【図面の簡単な説明】

【図 1】本発明に係わる半導体発光素子の製造工程を示す断面図。

【図 2】本発明に係わる半導体発光素子の製造工程を示す断面図。

【図 3】本発明に係わる半導体発光素子の製造工程を示す断面図。

【図 4】本発明に係わる半導体発光素子の製造工程を示す断面図。

【図 5】本発明に係わる半導体発光素子の製造工程を示す断面図。

【図 6】本発明に係わる半導体発光素子の製造工程を示す断面図。

【図 7】本発明の LED の発光輝度特性を示す図。

【図 8】従来技術による半導体発光素子の製造工程を示す断面図。

【図 9】従来技術による半導体発光素子の製造工程を示す断面図。

【図 10】従来技術による半導体発光素子の製造工程を示す断面図。

【図 11】従来技術による半導体発光素子の製造工程を示す断面図。

【図 12】従来技術による半導体発光素子の製造工程を示す断面図。

【図 13】従来技術による半導体発光素子の製造工程を示す断面図。

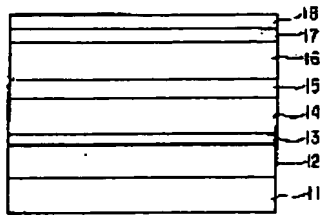
【図 14】従来技術による半導体発光素子の製造工程を示す断面図。

【図 15】従来技術によるクラックを示す断面図。

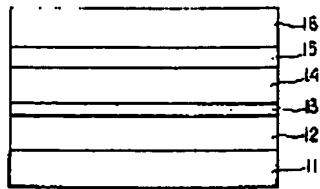
【符号の説明】

- 11…GaAs 基板、
- 12…n 型 GaAs 基板、
- 13…n 型 In<sub>0.5</sub>Ga<sub>0.5</sub>P 層、
- 14…n 型クラッド層（In<sub>0.5</sub>Al<sub>0.5</sub>P 層）、
- 15…P 型活性層（In<sub>0.5</sub>(Ga<sub>0.55</sub>Al<sub>0.45</sub>)<sub>0.5</sub>P 層）、
- 16…P 型クラッド層（In<sub>0.5</sub>Al<sub>0.5</sub>P 層）、
- 17…P 型エッチングストップ層（GaAs 層）、
- 18…n 型キャップ層（In<sub>0.5</sub>(Ga<sub>0.7</sub>Al<sub>0.3</sub>)<sub>0.5</sub>P 層）、
- 19…p 型透明基板（GaP 基板）、
- 20…n 型透明基板（GaP 基板）、
- 21…介在層、
- 22…透明電極、
- 23…金属電極、
- 24…裏面電極。

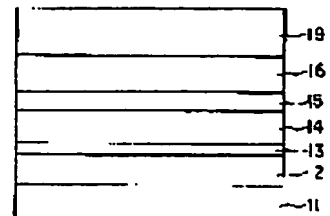
【図 1】



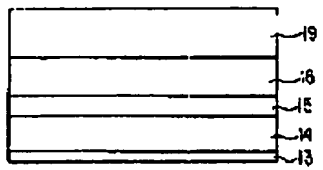
【図 2】



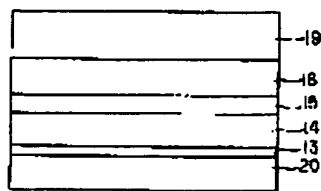
【図 3】



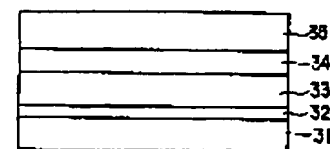
【図 4】



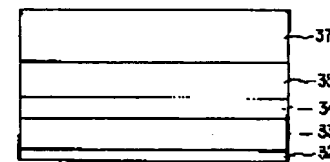
【図 5】



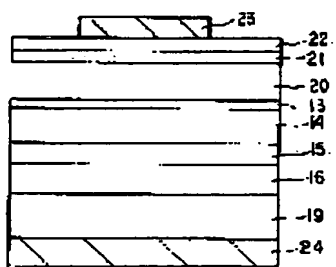
【図 9】



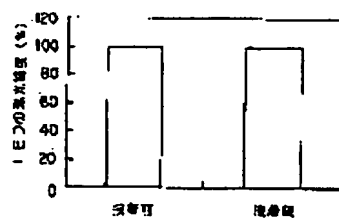
【図 11】



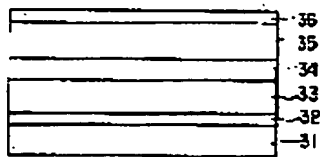
【図 6】



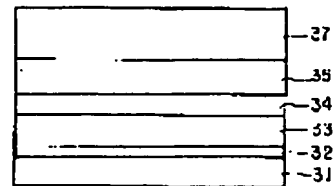
【図 7】



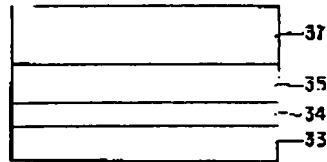
【図 8】



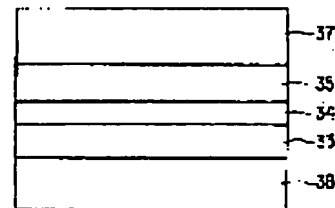
【図 10】



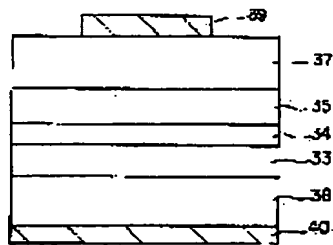
【図 12】



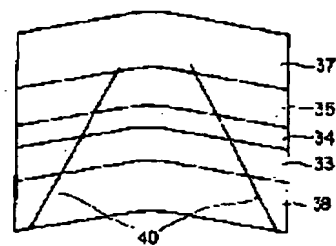
【図 13】



【図 14】



【図 15】



フロントページの続き

F ターム(参考) 5F041 AA41 AA43 CA04 CA12 CA34  
CA35 CA37 CA74 CA76 CA85  
CA88 CA92 DA12 DA43